

Module : logique et calculateurs
TP N°3 : Conception des circuits logiques combinatoire
Codeur/Décodeur et Multiplexeur

1. Objectif

L'objectif de ce TP est de permettre aux étudiants de comprendre les caractéristiques des circuits Codeur/décodeur et des multiplexeurs d'une part et de comprendre le fonctionnement des circuits intégrés, 74147, 7442, 7447 et 74151 d'autre part.

2. Matériel utilisé

- Unité de base du système KL-300.
- Les modules de travaux pratiques KL-33005 et KL-33006.

3. Circuit de Codeur

Un codeur est un circuit logique qui possède 2^N voies d'entrées dont une seule est active et N voies de sorties comme illustré sur la figure 3.1.

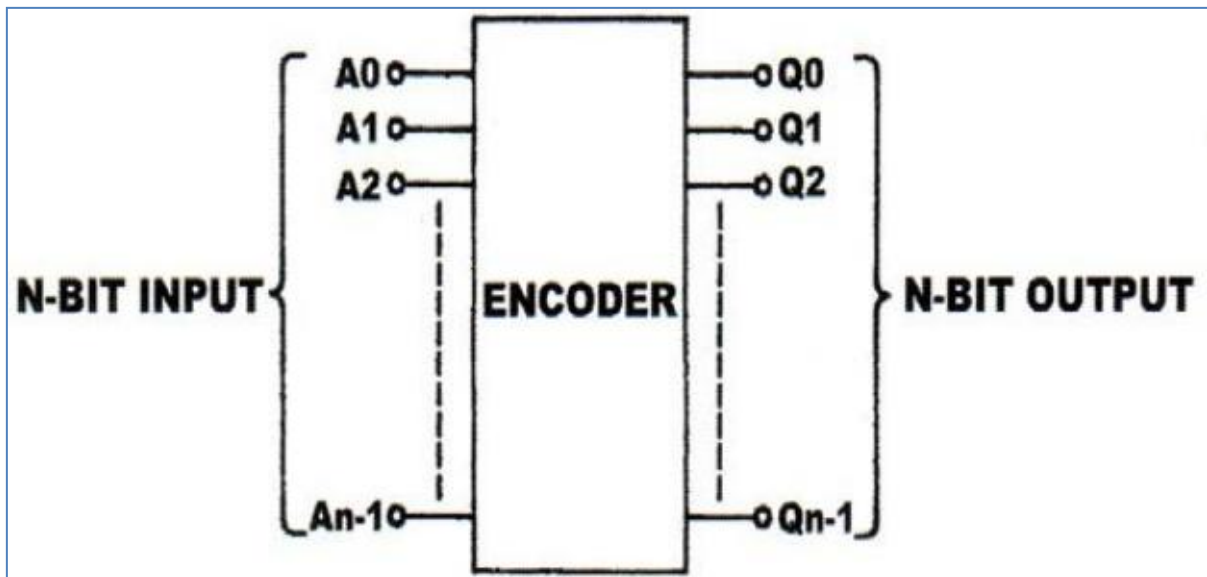


Figure 3.1 : Codeur.

3.1. Construction d'un codeur 4-à-2

L'objectif est de construire un codeur 4 - 2 en utilisant le module KL33005, Block a.

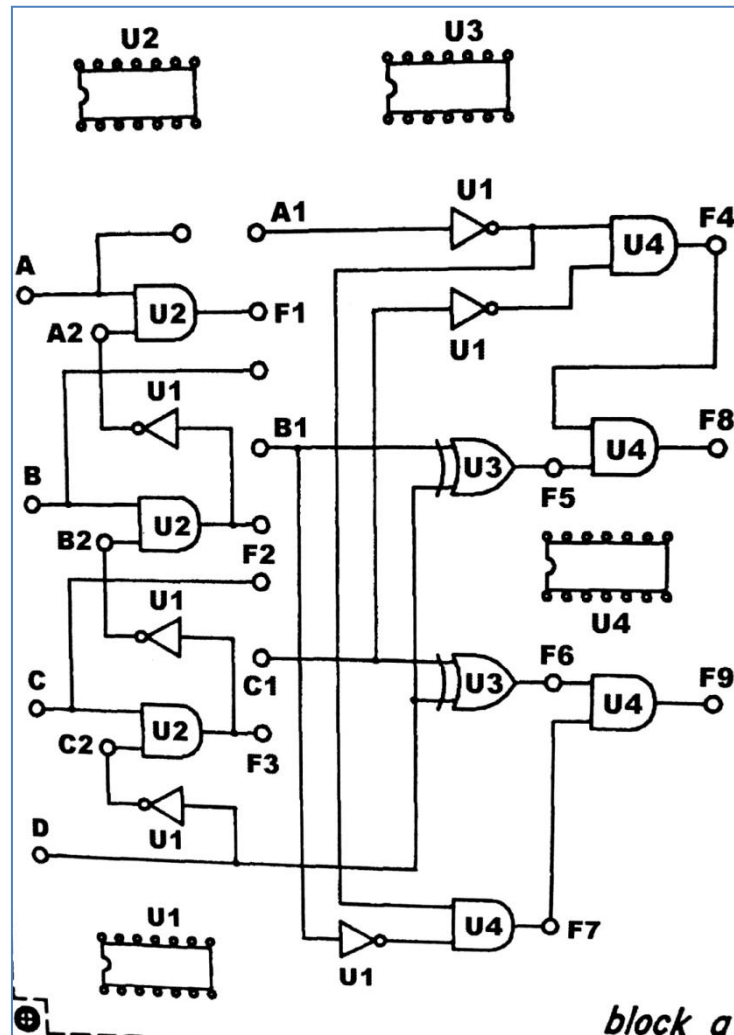


Figure 3.2a: KL33005 Block a

a. Expliquer en détail le principe de fonctionnement d'un codeur 4-à-2 (table de vérité et simplification), ensuite tracer le circuit logique.

b. Utiliser le module KL 33005 pour réaliser le circuit en question (codeur 4-2), compléter les connexions en utilisant le *block a* (Figure 3.2a).

c. Connecter la borne +5v (TTL) du module à la sortie de l'alimentation +5v (fixed power) et relier les masses du module et de l'alimentation. Ensuite relier les entrées aux sorties TTL des commutateurs (Data Switch) et les sorties aux indicateurs logiques.

d. Faire varier les switch's pour les entrée A, B, C et D à l'état 0 ensuite à l'état 1. Suivre les séquences d'entrée et noter les états des sorties dans un tableau.

Conclusion ?.

3.2. Codeur de priorité décimal-BCD (10-à-4) avec le circuit intégré 74147.

L'objectif est de construire un codeur 10 à 4 en utilisant le module KL33006, Block a.

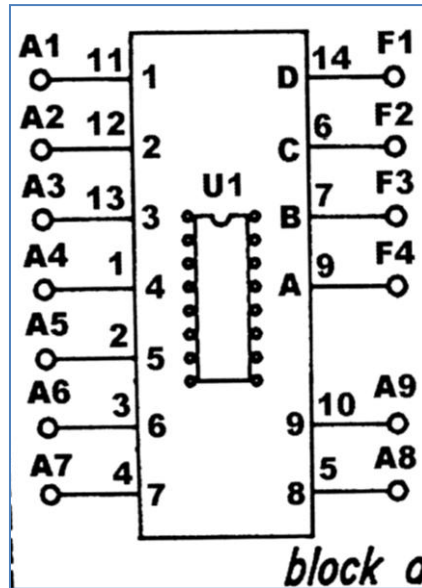


Figure 3.2b: KL33006 Block a

- Remplir la table de vérité d'un codeur de priorité 10 – BCD.
- Utiliser le module KL 33006 pour réaliser le codeur 10-4 (74147), compléter les connexions en utilisant le **block a** (Figure 3.2b).
- Relier les entrées aux sortie TTL des commutateurs (Data switch) DIP1 et DIP0 et les sorties F1, F2, F3 et F4 aux indicateurs logiques, ou utiliser l'afficheur BCD (D0).
- Suivre les séquences d'entrée dans un tableau et ensuite noter les états des sorties.
- Conclusion ?

4. Circuit de Décodeur

Un codeur est un circuit numérique qui possède N entrées et 2^N sorties. Pour chacune des combinaisons possibles des entrées, seule une ligne de sortie est validée. Les décodeurs sont souvent dotés d'une ou plusieurs entrées de validation E qui servent à valider son fonctionnement. Le schéma d'un décodeur à N bits d'entrée est donné par la figure suivante :

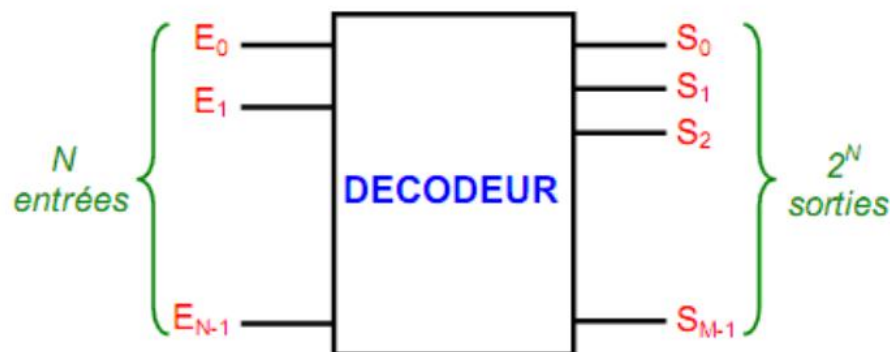


Figure 3.3 : Décodeur.

4.1. Décodeur 2 à 4

L'objectif est de construire des circuits de décodeur 2-4, en utilisant le module KL33005. Ce dernier est basé directement aux portes logiques (Block c).

- Faire une étude d'un décodeur binaire - octal (3 à 8) en étudiant la table de vérité, expression booléenne et la conception avec les portes logiques.
- Expliquer en détail le principe de fonctionnement d'un décodeur 2 à 4 (table de vérité et simplification), ensuite tracer le circuit logique.
- Utiliser le module KL 33005 pour réaliser le circuit en question, compléter les connexions en utilisant le *block c*.
- Relier les entrées aux sorties TTL des commutateurs SW0 et SW1 et les sorties aux indicateurs logiques ou un afficheur BCD (D0).
- Faire varier les switch's SW0(A) et SW1(B) à l'état 0 ensuite à l'état 1 et observer les sorties. Donner les résultats sous forme d'un tableau.
- Conclusion ?

4.2. Décodeur BCD à 7 segments.

On désire afficher, sur un afficheur 7 segments, les chiffres de 0 à 9 (figure 3.4a) ainsi que les lettres de A à F. Nous allons donc réaliser pour cela un décodeur recevant en entrée un code binaire sur 4 bits (compris entre 0000(2) et 1111(F), et fournissant en sortie 7 signaux qui permettront d'alimenter les segments de l'afficheur. Les entrées sont notées par **E1** à **E4**, E1 étant le bit de poids faible. Les sorties sont notées par **Sa**, **Sb**, **Sc**, **Sd**, **Se**, **Sf**, et **Sg**, et alimentent respectivement les segments **a** à **g** de l'afficheur.

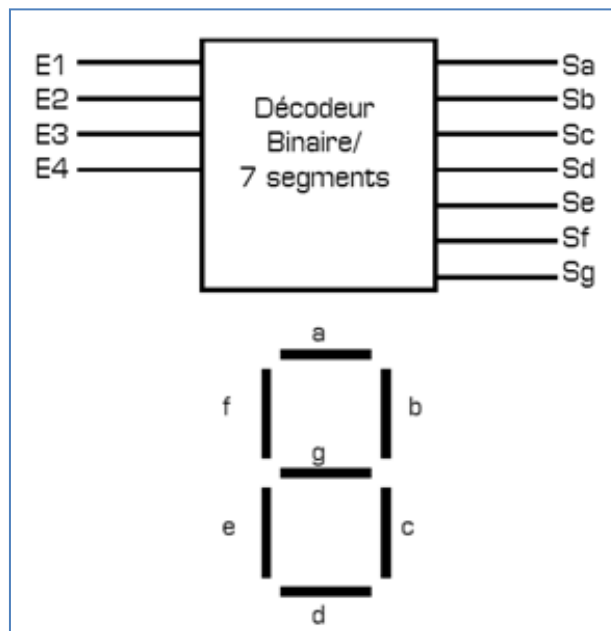


Figure 3.4a: Décodeur et afficheur 7 segments.

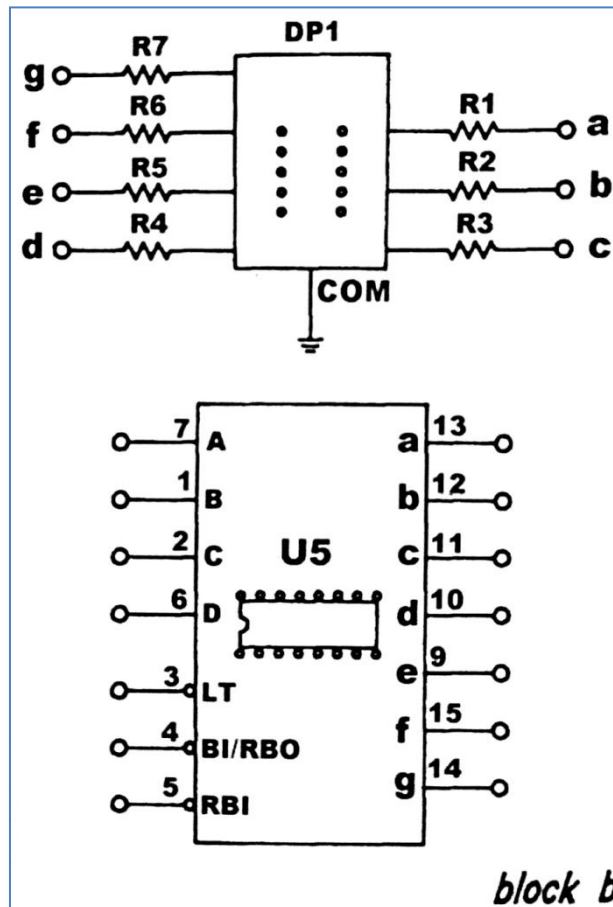


Figure 3.4b: KL33005 Block b.

a. Complétez la table de vérité ci-dessous du décodeur, puis écrire les équations simplifiées des 7 sorties (7 segments de $S_a..S_g$) du décodeur en fonction des entrées E1 à E4, en utilisant le tableau de Karnaugh,

b. Utiliser le module KL 33005 pour réaliser le circuit du décodeur BCD-7segments, compléter les connexions nécessaire en utilisant le **block b** avec son afficheur 7 segments (Figure 3.4c).

c. Relier les entrées A, B, C et D du circuit de décodeur U5 aux sortie des commutateurs (Data switch) DIP1 et les sorties au afficheur 7 segments (DP1) situer dans le même block. Ensuite Connecter RBI à SW0 et LT à SW1.

g. Régler RBI (SW0) et LT (SW1) à 1et faire varier les switch's des entrées à l'état 0 ensuite à l'état 1 et observer l'afficheur DP1. Donner les résultats sous forme d'un tableau.

d. Conclusion ?

E4	E3	E2	E1	Sa	Sb	Sc	Sd	Se	Sf	Sg	Symbole affiché :
0	0	0	0								0
0	0	0	1								1
0	0	1	0								2
0	0	1	1								3
0	1	0	0								4
0	1	0	1								5
0	1	1	0								6
0	1	1	1								7
1	0	0	0								8
1	0	0	1								9
1	0	1	0								A
1	0	1	1								B
1	1	0	0								C
1	1	0	1								D
1	1	1	0								E
1	1	1	1								F

5. Circuit de Multiplexeur

Un multiplexeur 1 parmi N est un circuit qui permet avec des entrées (ou adresses) $\{A_i\}$ de sélectionner parmi plusieurs entrées de données $\{D_j\}$ celle dont la valeur binaire sera recopiée sur la sortie Y du circuit. Si n est le nombre de lignes d'adresse, le nombre de données sélectionnables est de 2^n .

Dans la pratique, un multiplexeur est utilisé dans les systèmes informatiques de transmission de données lorsque l'on souhaite transmettre à tour de rôle plusieurs données sur une seule ligne de communication.

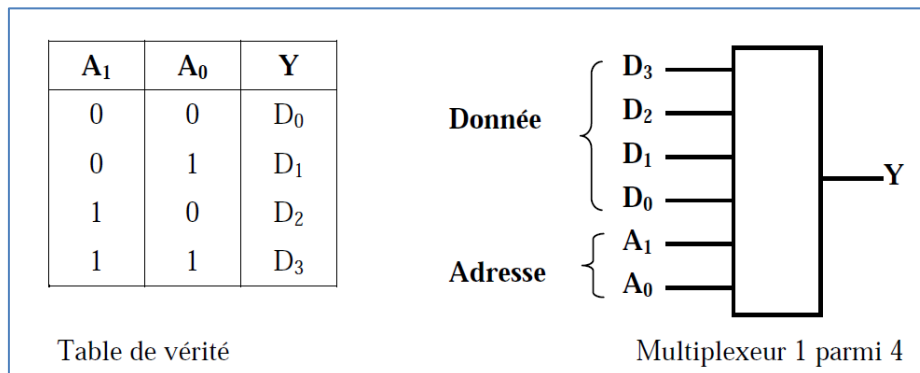


Figure 3.5: multiplexeur 1 parmi 4.

5.1. Multiplexeur 1 parmi 2

- Faire une étude d'un multiplexeur 1 parmi 2 en étudiant la table de vérité, expression booléenne et la conception avec les portes logiques.
- Utiliser le module KL 33006, pour réaliser le circuit en question, et compléter les connexions en utilisant le *block e*.
- Relier les entrées aux sorties TTL des commutateurs et les sorties aux indicateurs logiques.

- h. Observer les sorties et donner les résultats sous forme d'un tableau.
d. Conclusion ?

5.2. Multiplexeur 1 parmi 8 à base de 74151

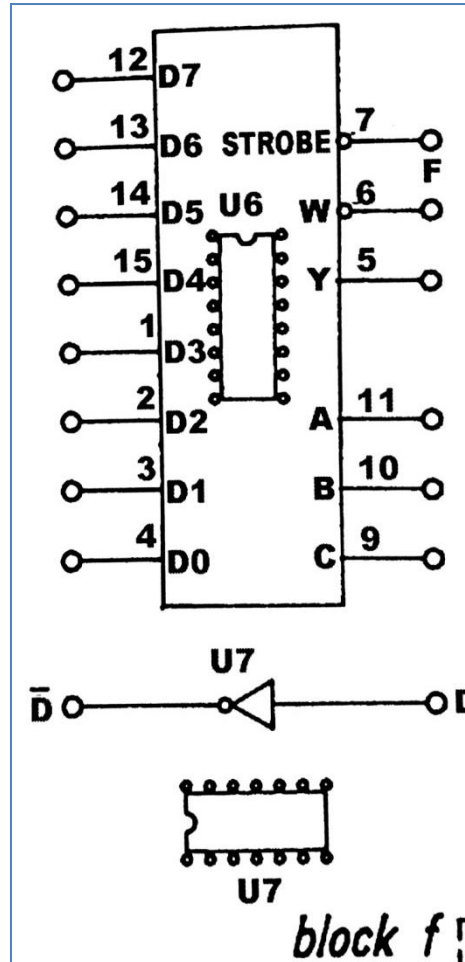


Figure 3.6: KL33006 Block f.

- a. Compléter la table de vérité du multiplexeur 1 parmi 8 et en déduire les équations logiques de la sortie en fonction des entrées.
b. Utiliser le module KL 33006 pour réaliser le circuit du multiplexeur 1 parmi 8 et compléter les connexions nécessaire en utilisant le **block f** (74151) (Figure 3.6).
c. Relier les entrées du circuit de multiplexeur U6 aux sortie des commutateurs (Data switch) DIP1 et les sorties aux indicateurs logiques.
d. Faire varier les switch's des entrées à l'état 0 ensuite à l'état 1 et observer les sortie. Donner les résultats sous forme d'un tableau.
e. Conclusion ?